

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS : Chan-Yul Kim et al.
SERIAL NO. : Not Yet Assigned
FILED : February 27, 2004
FOR : CLOCK AND DATA RECOVERY DEVICE COPING WITH
VARIABLE DATA RATES

PETITION FOR GRANT OF PRIORITY UNDER 35 USC 119

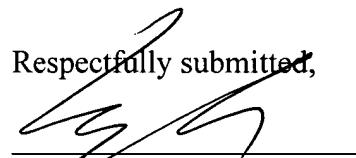
MAIL STOP PATENT APPLICATION
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA. 22313-1450

Dear Sir:

Applicant hereby petitions for grant of priority of the present Application on the basis of the following prior filed foreign Application:

<u>COUNTRY</u>	<u>SERIAL NO.</u>	<u>FILING DATE</u>
Republic of Korea	2003-39422	June 18, 2003

To perfect Applicant's claim to priority, a certified copy of the above listed prior filed Application is enclosed. Acknowledgment of Applicant's perfection of claim to priority is accordingly requested.

Respectfully submitted,

Steve S. Cha
Attorney for Applicant
Registration No. 44,069

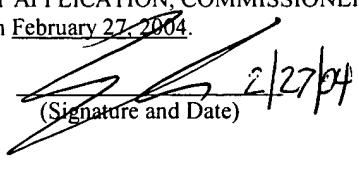
CHA & REITER
210 Route 4 East, #103
Paramus, NJ 07652
(201) 226-9245

Date: February 27, 2004

Certificate of Mailing Under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to MAIL STOP PATENT APPLICATION, COMMISSIONER FOR PATENTS, P. O. BOX 1450, ALEXANDRIA, VA. 22313-1450 on February 27, 2004.

Steve S. Cha, Reg. No. 44,069
Name of Registered Rep.)


(Signature and Date)



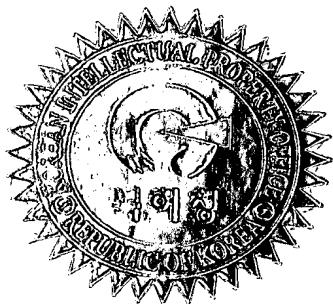
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0039422
Application Number

출 원 년 월 일 : 2003년 06월 18일
Date of Application

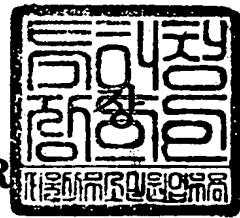
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.06.18
【국제특허분류】	H04L
【발명의 명칭】	가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치
【발명의 영문명칭】	Clock and Data Recovery Apparatus For Variable Data Rate
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	김찬열
【성명의 영문표기】	KIM, Chan Yu
【주민등록번호】	701011-1064211
【우편번호】	421-170
【주소】	경기도 부천시 오정구 오정동 창보아파트 102-506
【국적】	KR
【발명자】	
【성명의 국문표기】	고준호
【성명의 영문표기】	KOH, Jun Ho
【주민등록번호】	660407-1063421
【우편번호】	442-745
【주소】	경기도 수원시 팔달구 영통동 황골마을풀림아파트 231동601호
【국적】	KR
【발명자】	
【성명의 국문표기】	오윤제
【성명의 영문표기】	OH, Yun Je

【주민등록번호】 620830-1052015
【우편번호】 449-915
【주소】 경기도 용인시 구성면 언남리 동일하이빌 102동 202호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이건주 (인)
【수수료】
【기본출원료】 19 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 6 항 301,000 원
【합계】 330,000 원

【요약서】

【요약】

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 디지털 비디오 영상 처리에 관한 것으로 특히 디지털 비디오 영상의 송수신시의 동기화 방법에 관한 것임.

2. 발명이 해결하려고 하는 기술적 과제

본 발명은 데이터 전송시의 가변 데이터 전송률에 대응하여 클럭을 복원하는 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)를 제공하는데 그 목적이 있음.

3. 발명의 해결 방법의 요지

본 발명은, 데이터 전송시의 가변 데이터 전송률에 대응하여 클럭을 복원하는 것이 가능한 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)에 있어서, 기본 클럭을 이용하여 제 1 소정의 값(P)으로 분주한 후, 이를 동기화하고 제 2 소정의 값(Q)만큼 체배하여 상기 가변 데이터 전송률에 대응하는 기준 클럭을 생성하는 기준 클럭 생성부; 전송된 데이터를 입력받아 상기에서 생성된 기준 클럭을 이용하여 상기 입력받은 데이터의 클럭을 복원하고 복원된 상기 클럭과 데이터를 출력하는 클럭 및 데이터 복원부; 및 상기 가변 데이터 전송률에 따라 상기 기준 클럭 생성부와 상기 클럭 및 데이터 복원부에 대한 제어 신호를 생성하여 전달하는 제어부를 포함함.

4. 발명의 중요한 용도

본 발명은 디지털 비디오 전송 등에 이용됨.

1020030039422

출력 일자: 2003/7/29

【대표도】

도 2

【색인어】

PID, PLL, CDR, PCR, 분주기

【명세서】

【발명의 명칭】

가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치{Clock and Data Recovery Apparatus For Variable Data Rate}

【도면의 간단한 설명】

도 1 은 일반적인 PLL 루프의 일실시예 구성도.

도 2 는 본 발명에 따른 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치의 일실시예 구성도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<3> 본 발명은 디지털 비디오 영상 처리에 관한 것으로 특히 디지털 비디오 영상의 송수신시의 동기화 방법에 관한 것이다.

<4> 대부분의 신호 전송 시스템에서는 비변조된 클럭 신호를 포함한 바이너리 디지털 신호 형태로 데이터를 송수신 한다. 이 경우 흔히 신호 사이에 외부에서 들어오는 클럭(clock) 신호와 내부로 공급되는 클럭(clock) 신호 간의 타이밍 스케이프(timing skew) 문제가 발생하므로 디지털 데이터 송수신시스템은 디지털 데이터로부터 타이밍 스케이프 문제를 해결 함과 동시에 데이터를 정확하게 복원해야만 한다.

<5> 이를 위해 클럭 복원 회로(clock recovery circuit)가 사용되고 있으며, 특히 정확한 클럭 복원을 위해서 PLL(Phase Locked Loop)이 널리 사용되고 있다.

<6> 여기서, PLL(Phase-Locked Loop)이란 위상 잠금 장치를 의미하며, 송신해온 신호의 위상을 동기(synchronization)시키는 위상동기루프(회로)를 말한다. 위상동기란 기준신호원에 관해 일정한 위상각에서 동작하도록 발진기 또는 주기신호발생기를 제어하는 것을 말하며, 위상동기루프는 디지털 피변조파의 동기복조, 코히어런트 반송파의 추적, 임계의 연장, 비트(bit)의 동기, 심벌의 동기 등에 사용된다. 위상동기는 입력과 출력을 독립적으로 수행할 수 있는 엘라스틱 스토어(ES:elastic store)에 의해 전송로의 자연변동이나 흐트러짐에 따른 입력신호의 위상변동을 흡수해 특정한 시간위치에 입력신호의 프레임 위상을 맞추는 것을 말한다.

<7> 도 1 은 일반적인 PLL 루프의 일실시예 구성도이다.

<8> 도 1 에 도시된 바와 같이, 일반적인 PLL 루프는 위상/주파수 감지기(Phase/Frequency Detector)(11), 루프 필터(12) 및 전압 제어 발진기(13)를 포함하여 구성된다.

<9> 일반적 PLL 루프를 이용하여 전송된 데이터에서 클럭을 추출 하는 방법은 도 1을 참조하여 설명하면 다음과 같다. 외부로부터 입력 데이터가 들어오면 위상/주파수 감지기(Phase/Frequency Detector)(11)에서 입력 데이터의 클럭 성분을 추출하고 전압 제어 발진기(VCO : Voltage Controlled Oscillator)(13)와의 위상을 비교하여 그 위상 오차를 루프 필터(12)의 입력으로 인가한다. 그리고, 루프 필터(12)는 위상/주파수 감지기(Phase/Frequency Detector)(11)로부터 입력되는 에러 신호를 걸러내는데 사용하는 한편 PLL의 피드백 루프(feed-back loop)를 보상하여 전압 제어 발진기(13)을 제어하여 위상이 정확히 동기된 클럭을 추출한다.

<10> 이와 같은 PLL을 이용한 클럭의 복원 및 데이터의 복원에서는 하나의 픽스된 데이터 전송률을 가진 데이터 전송에 대해서 클럭의 복원이 가능하도록 구성되어 있다.

<11> 그러나, 오늘날의 네트워크는 많은 종류의 데이터 전송률(data rate)을 사용하도록 구성된다. 예컨데, 디지털 비디오의 경우, DVB-ASI(Digital Video Broadcasting - Asynchronous Serial Interface) 표준에 따른 데이터 전송률은 270Mbps이며, HDTV(High Definition TeleVision)급의 비디오 데이터 전송률은 대략 10 ~ 80Mbps 정도의 가변 데이터 전송률을 가진다. 이와 같이 다양한 데이터 전송률을 이용하여 전송되는 데이터들의 복원을 위해서는 각각의 데이터 전송률에 따른 클럭의 복원이 중요한 문제로 대두된다. 이러한 다양한 데이터 전송률을 가진 네트워크에서 종래의 PLL만을 이용해서는 각각의 데이터 전송률에 대응하는 PLL회로를 각각 구비해야 하는 문제점이 있다.

<12> 즉, 종래의 PLL을 이용한 클럭 복원 회로는 가변적인 데이터 전송률에 따라 각각 다른 전압 제어 발진기(아날로그 소자)를 사용해야 함으로 그 복잡성이 증대되고, 세팅 포인트 또한 아날로그 컨트롤이므로 민감하여 정확한 위상 동기를 맞추기 위해 노력이 배가된다. 게다가 구현 방법도 상용화된 데이터율의 클럭 추출 장치가 아니면 구현하기가 대단히 힘들다.

<13> 따라서, 각기 다른 데이터율에서 클럭을 추출할 필요가 있는 디지털 방송 및 통신 환경에서는, 데이터 전송률이 변화될 때마다 하드웨어 자체를 바꾸거나 부가적인 하드웨어를 필요로 하는 등의 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명은, 상기와 같은 문제점을 해결하기 위하여 제안된 것으로, 데이터 전송시의 가변 데이터 전송률에 대응하여 클럭을 복원하는 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)를 제공하는데 그 목적이 있다.

<15> 즉, 본 발명은 하나의 기준 클럭을 이용하여 원하는 기준 주파수를 제 1 PLL을 이용하여 추출하고, 추출된 제 1 주파수를 PID 필터를 갖는 제 2 PLL에 입력하여 입력된 데이터의 클럭 및 데이터를 추출하는 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)를 제공하여, 하나의 기준 클럭을 이용하여 하드웨어적인 구조 변경 없이 10Mbps ~ 300Mbps 정도의 서로 다른 전송속도(데이터 전송률)를 갖는 디지털 방송 신호에서 클럭 및 데이터를 추출하는데 그 목적이 있다.

【발명의 구성 및 작용】

<16> 상기의 목적을 달성하기 위한 본 발명은, 데이터 전송시의 가변 데이터 전송률에 대응하여 클럭을 복원하는 것이 가능한 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)에 있어서, 기본 클럭을 이용하여 제 1 소정의 값(P)으로 분주한 후, 이를 동기화하고 제 2 소정의 값(Q)만큼 체배하여 상기 가변 데이터 전송률에 대응하는 기준 클럭을 생성하는 기준 클럭 생성부; 전송된 데이터를 입력받아 상기에서 생성된 기준 클럭을 이용하여 상기 입력받은 데이터의 클럭을 복원하고 복원된 상기 클럭과 데이터를 출력하는 클럭 및 데이터 복원부; 및 상기 가변 데이터 전송률에 따라 상기 기준 클럭 생성부와 상기 클럭 및 데이터 복원부에 대한 제어 신호를 생성하여 전달하는 제어부를 포함한다.

<17> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다. 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

<18> 도 2 는 본 발명에 따른 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치의 일실시예 구성도이다.

<19> 도 2에 도시된 바와 같이 본 발명에 따른 클럭 및 데이터 복원 장치(CDR)는 기준 클럭을 만들어내는 기준 클럭 생성부(21), 기준 클럭을 이용하여 클럭 및 데이터를 복원하는 클럭 및 데이터 복원부(22) 및 본 발명에 따른 클럭 및 데이터 복원 장치(CDR)로 입력되는 데이터의 데이터 전송률에 따라 기준 클럭 생성부(21)와 클럭 및 데이터 복원부(22)의 내부 파라미터를 설정하는 제어부(23)를 포함한다.

<20> 좀 더 상세히 구성 부분들을 살펴보면, 우선 기준 클럭 생성부(21)는 기준 클럭 생성부(21)의 내부 클럭을 발생시키는 기본 클럭(Basic Clock) 발생기(211), 기본 클럭 발생기에서 발생된 기본 클럭을 제어부(23)에 의해서 설정된 제 1 소정의 값(P)만큼 분주하는 제 1 분주기(Divider)(212), 분주된 기본 클럭을 입력받아 체배기(Multiplier)(216)의 출력 신호와의 차이를 비교하여 그 오차를 루프 필터(214)의 입력으로 인가하는 주파수 감지기(Frequency Detector)(213), 입력된 오차 신호를 필터링하고 PLL(213, 214, 215)의 피드백 루프(feed-back loop)를 보상하여 제 1 전압 제어 발진기(215)를 제어하는 루프 필터(214), 루프 필터(214)의 제어에 따라 위상이 동기된 클럭을 추출하는 제 1 전압 제어 발진기(215) 및 제 1 전압 제어

발진기(215)에서 출력된 동기화된 클럭을 제어부(23)에 의해서 설정된 제 2 소정의 값(Q)만큼 체배하여 기준 클럭을 출력하는 체배기(216)을 포함한다.

<21> 그리고, 클럭 및 데이터 복원부(22)는 클럭 성분을 가지고 있지 않은 NRZ(No Return to Zero) 신호를 클럭 성분이 포함된 신호로 바꾸어 출력하는 NRZ(No Return to Zero)-PRZ(Pseudo Return to Zero) 변환기(221), 기준 클럭 생성부(21)로부터 출력된 기준 클럭과 NRZ-PRZ 변환기(221)의 출력 신호의 클럭 성분을 비교하여 두 클럭 간의 위상값을 감지하고 제 2 전압 제어 발진기(224)의 출력 클럭을 제어부(23)에 의해 설정된 제 3 소정의 값(M)으로 분주한 제 2 분주기(225)의 출력 신호와 NRZ-PRZ 변환기(221)의 출력 신호의 클럭 성분을 비교하여 두 클럭 간의 주파수값을 감지하여 그 주파수 오차값을 PID(Proportional Integral Differential) 필터(223)의 입력으로 인가하는 위상/주파수 감지기(Phase/Frequency Detector)(222), 입력된 오차신호를 필터링하고 PLL(222, 223, 224)의 피드백 루프(feed-back loop)를 보상하여 제 2 전압 제어 발진기(224)를 제어하는 PID 필터(223), PID 필터(223)의 제어에 따라 위상이 동기화된 클럭을 출력하는 제 2 전압 제어 발진기(224), 제 2 전압 제어 발진기(224)에서 출력된 동기화된 클럭을 제어부(23)에 의해서 설정된 제 3 소정의 값(M)만큼 분주하여 복원된 클럭을 출력하는 제 2 분주기(225) 및 입력된 NRZ 신호와 제 2 전압 제어 발진기(224)에서 출력된 동기화된 클럭을 입력받아 클럭과 데이터가 결합된 형태로 출력하는 D-플립플롭(FlipFlop)(226)을 포함한다. 여기서, PID 필터(223)에 대한 상세한 설명은 후술하기로 한다.

<22> 그리고, 제어부(23)는 본 발명에 따른 클럭 및 데이터 복원 장치(CDR)로 입력되는 데이터의 데이터 전송률에 따라, 클럭 및 데이터 복원 장치(CDR)의 내부 파라미터인 제 1 내지 제 3 소정의 값(P, Q, M)을 설정하도록 하는 제어 신호를 출력한다.

<23> 이상의 구조를 가지는 본 발명에 따른 클럭 및 데이터 복원 장치(CDR)의 동작을 도 2 를 통해 설명하면 다음과 같다.

<24> 먼저, 기본 클럭을 2개의 분주기를 이용하여 원하는 값의 클럭을 생성하는 기준 클럭 복원부(21)에서는 기본 클럭 발생기(211)를 통해 발생한 기본 클럭을 제 1 분주기(212)를 통해 $(1/P) * (\text{기본 클럭})$ 으로 변화시켜 PLL(213, 214, 215)로 입력한다. 여기서 P 값은 제어부(23)를 통해 사전에 입력된 값이다.

<25> 그리고, PLL로 입력된 $(1/P) * (\text{기본 클럭})$ 신호는 자유 동작(free running)하는 PLL의 제 1 전압 제어 발진기(215)의 출력을 체배기(216)를 통해 Q배로 체배한 신호와 주파수 감지기(213)에서 그 차이를 감지하고 그 오차 신호를 루프 필터(214)를 통해 필터링하여 제 1 전압 제어 발진기(215)에 대한 제어 신호로 제 1 전압 제어 발진기(215)에 전달하고 그에 따른 출력을 얻어낸다. 여기서, Q값은 제어부(23)를 통해 사전에 입력된 값이다.

<26> 결국, 기준 클럭 복원부(21)에서 출력되는 기준 클럭(reference clock)은 <수학식 1>과 같다.

<27> 【수학식 1】 $f_{ref} = (\text{기본 클럭}) * (Q/P)$

<28> 따라서, 제어부(23)를 통해 P, Q 레지스터 비트를 서로 다르게(예컨대, P는 8비트, Q는 11비트) 설정함으로서 정수배가 아닌 임의의 주파수를 갖는 클럭을 구성 할수 있다. 이에 따라, 종래의 PLL에서 하나로 설정된 기준 클럭에 대해 클럭 복원을 위한 동작을 수행함에 반하여, 본 발명에서는 데이터 전송률에 따라 다양한 기준 클럭을 제공하는 것이 가능하게 된다.

<29> 한편, 클럭 및 데이터 복원부(22)는 클럭 성분을 가지고 있지 않은 NRZ 신호를 입력받는다. 이때, 입력되는 NRZ 데이터의 데이터 전송률에 따라 제어부(23)는 본 발명에 따른 클럭 및 데이터 복원 장치의 파라미터(P , Q , M)을 설정한다. 입력된 NRZ 신호는 클럭 성분을 갖고 있지 않으므로, NRZ-PRZ 변환기(221)를 통해 클럭 성분을 포함하여 PLL(222, 223, 224)에 입력한다.

<30> 그리고, 클럭 성분이 포함된 PRZ 신호는 위상/주파수 감지기(222)에서, 기준 클럭 복원부(21)에서 출력된 기준 클럭과 위상을 비교하고, 자유 동작(free running)하는 PLL의 제 2 전압 제어 발진기(224)의 출력을 제 2 분주기(225)를 통해 $1/M$ 로 분주한 신호와 그 주파수의 차 이를 감지한다. 그리고, 주파수 및 위상의 차이에 따른 오차 신호를 PID 필터(223)를 통해 필터링하여 제 2 전압 제어 발진기(224)에 대한 제어 신호로 제 2 전압 제어 발진기(224)에 전달하고 그에 따른 출력을 얻어낸다. 여기서, M 값은 제어부(23)를 통해 사전에 입력된 값이다.

<31> 본 발명에 있어서는 클럭 및 데이터 복원을 위하여 PID 필터를 사용하는데, 종래의 일반적인 루프 필터가 안정화 시간이 증가되고 또 그 값을 튜닝하는데 있어 잘못 튜닝할 경우 공진을 할수 있는 문제점이 발생하는데 반해, 더 적은 시간에 안정한 클럭을 복원할 수 있는 장점이 있다.

<32> 대부분의 디지털 방송 시스템에서는 내부의 PCR(Program Clock Reference)을 이용하여 클럭에 동기를 맞추기 위해 PLL 루프를 사용하나 더 정확한 클럭을 추출하기 위해서는 PCR을 코드 길이가 늘어나야 한다. 그러나, PID 제어기를 이용하면 더 빠른 시간에 안정화된 클럭을 복원할 수 있을 뿐만 아니라, 더 적은 PCR을 이용 정확한 클럭을 추출할 수 있게 된다.

<33> 여기서, PID 필터를 좀 더 상세히 설명하면, PID 필터는 제어이론에서 많이 쓰이는 방법으로 비례(Proportional), 적분(Integral), 미분(Differential)을 서로 더하는 방법으로 이전

에 변화량 및 현재의 변화량을 통해 제어의 안정화를 꾀한 회로이다. 그 각각의 동작을 살펴보면, 우선 비례 제어는 오차(Error)에 대하여 그에 비례하는 양에 대하여 제어 출력을 만든다는 것으로 일반적으로 비례계수가 커질수록 시스템 응답을 빠르게 하는 특성을 가지지만 오버 슛(Overshoot)을 발생시키는 단점이 있으며 정상상태오차(Steady State Error)를 가지게 된다. 이 오프셋(Offset)을 수동입력을 통하여 오차를 상쇄시킨다. 그리고, 적분 제어는 이력 오차를 합산하여 제어 출력에 반영한다는 개념으로, 단독으로 사용되지 않으며 비례 제어기과 같이 쓰여 PI 제어기의 구조를 이루며 적분 제어를 통하여 비례제어시에 나타나던 정상상태 오차를 없앨 수 있다. 그러나, 적분제어시 과도응답 특성이 나빠지는 단점이 있다. 마지막으로 미분 제어는 오버 슛(Overshoot)을 줄이며 시스템의 안정성(Stability)을 향상시키는 특징을 가진다. 또한, PID 제어기는 필터적인 측면에서는 제어기의 파라미터 값에 따라 대역 통과 필터 또는 대역 감쇠 필터로 동작한다.

<34> 한편, 제 2 전압 제어 발진기(224)를 통해 복원된 클럭은 D-플립플롭(FlipFlop)(226)에 NRZ 데이터와 함께 입력되어 데이터를 복원할 수 있다.

<35> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

【발명의 효과】

<36> 상기와 같은 본 발명은, 가변 데이터 전송률에 대응하는 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)를 제공하여 디지털 비디오 데이터 전송과 같은 가변 데이터 송수신시 오차없는 데이터 및 클럭의 복원이 가능한 효과가 있다.

<37> 또한, 본 발명은, PID필터를 사용함으로써, 짧은 PCR을 이용하여 클럭의 복원이 가능하고 종래의 기술에 비해 자연이 짧아 지는 효과가 있다.

【특허청구범위】**【청구항 1】**

데이터 전송시의 가변 데이터 전송률에 대응하여 클럭을 복원하는 것이 가능한 클럭 및 데이터 복원 장치(CDR : Clock and Data Recovery)에 있어서,

기본 클럭을 이용하여 제 1 소정의 값(P)으로 분주한 후, 이를 동기화하고 제 2 소정의 값(Q)만큼 체배하여 상기 가변 데이터 전송률에 대응하는 기준 클럭을 생성하는 기준 클럭 생성부;

전송된 데이터를 입력받아 상기에서 생성된 기준 클럭을 이용하여 상기 입력받은 데이터의 클럭을 복원하고 복원된 상기 클럭과 데이터를 출력하는 클럭 및 데이터 복원부; 및

상기 가변 데이터 전송률에 따라 상기 기준 클럭 생성부와 상기 클럭 및 데이터 복원부에 대한 제어 신호를 생성하여 전달하는 제어부를 포함하는 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치.

【청구항 2】

제 1 항에 있어서,

상기 기준 클럭 생성부는,

내부 클럭으로 사용되는 기본 클럭을 발생시키는 기본 클럭(Basic Clock) 발생기;

상기 기본 클럭을 상기 제어부에 의해서 설정된 제 1 소정의 값(P)만큼 분주하는 제 1 분주기(Divider);

상기 분주된 기본 클럭을 입력받아 체배기(Multiplier)의 출력 신호와의 차이를 비교하여 그 오차를 출력하는 주파수 감지기(Frequency Detector);

상기 주파수 감지기에서 출력된 오차 신호를 입력받아 필터링하고 피드백 루프(feed-back loop)를 보상하는 제어 신호를 출력하는 루프 필터;

상기 루프 필터의 제어에 따라 위상이 동기된 클럭을 추출하는 제 1 전압 제어 발진기; 및

상기 제 1 전압 제어 발진기에서 출력된 동기된 클럭을 상기 제어부에 의해서 설정된 제 2 소정의 값(Q)만큼 체배하여 기준 클럭을 출력하는 상기 체배기를 포함하는 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 클럭 및 데이터 복원부는,

입력받은 클럭 성분을 가지고 있지 않은 NRZ(No Return to Zero) 데이터를 클럭 성분이 포함된 PRZ 신호로 바꾸어 출력하는 NRZ(No Return to Zero)-PRZ(Pseudo Return to Zero) 변환기;

상기 기준 클럭 생성부로부터 출력된 상기 기준 클럭과 상기 NRZ-PRZ 변환기의 출력 신호의 클럭 성분을 비교하여 두 클럭 간의 위상값을 감지하고 제 2 전압 제어 발진기의 출력 클럭을 상기 제어부에 의해 설정된 제 3 소정의 값(M)으로 분

주한 제 2 분주기의 출력 신호와 상기 NRZ-PRZ 변환기의 출력 신호의 클럭 성분을 비교하여 두 클럭 간의 주파수 오차값을 감지하여 그 주파수 오차값을 출력하는 위상/주파수 감지기 (Phase/Frequency Detector);

상기 주파수 오차값을 필터링하고 피드백 루프(feed-back loop)를 보상하는 제어 신호를 출력하는 필터부;

상기 필터부의 제어에 따라 위상이 동기화된 클럭을 출력하는 제 2 전압 제어 발진기;

상기 동기화된 클럭을 상기 제어부에 의해서 설정된 제 3 소정의 값(M)만큼 분주하여 출력하는 제 2 분주기; 및

입력받은 NRZ 데이터와 상기 제 2 전압 제어 발진기에서 출력된 동기화된 클럭을 입력받아, 클럭과 데이터가 결합된 형태로 출력하는 출력부를 포함하는 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치.

【청구항 4】

제 2 항에 있어서,

상기 기준 클럭은 하기의 <수학식 2>와 같은 것을 특징으로 하는 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치.

【수학식 2】 $f_{ref} = (\text{기본 클럭}) * (Q/P)$ (여기서, P와 Q는 상기 제어부에 의해 설정된 파라미터 값)

【청구항 5】

제 3 항에 있어서,

상기 필터부는 PID(Proportional Integral Differential) 필터로 구성된 것을 특징으로 하는 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치.

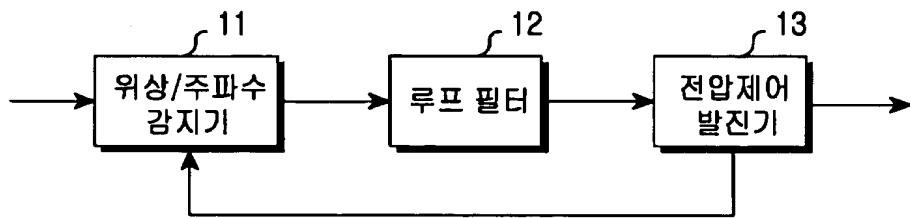
【청구항 6】

제 3 항에 있어서,

상기 출력부는 D-플립플롭으로 구성된 것을 특징으로 하는 가변 데이터 전송률에 대응이 가능한 클럭 및 데이터 복원 장치.

【도면】

【도 1】



【도 2】

